

'This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-108835

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

G06F 15/16

F02D 45/00

G05B 15/02

G06F 11/16

G06F 12/16

G06F 15/177

(21)Application number : 2000-298351

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 29.09.2000

(72)Inventor : NAKAMOTO KATSUYA

KITSUTA MITSUHIRO

HASHIMOTO KOJI

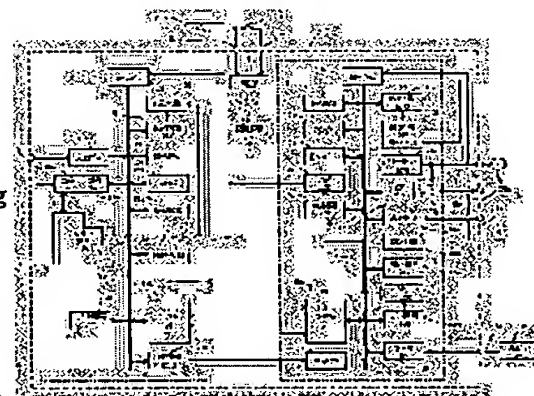
GOKAN HIROSHI

## (54) ON-VEHICLE ELECTRONIC CONTROLLER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a serial communication means capable of freely and mutually transferring a controlling constant on the start of operation and communicating various data during the operation.

**SOLUTION:** The means is provided with a main CPU which is provided with the first nonvolatile memory for writing at least the first control program and controlling contents corresponding to a vehicle to be controlled in it from an external tool, the first RAM memory for arithmetic processing and the first input/output port, a sub-CPU which is provided with the second nonvolatile memory having the second control program written in it, the second RAM memory for arithmetic processing and the second input/output port, and a serial/parallel converter for full duplex two-way serial communication for communicating data mutually between the main CPU and the sub-CPU during the operation of the vehicle to be controlled. When starting the operation of the vehicle to be controlled, a part of the controlling constants stored in the first nonvolatile memory is transferred to the second RAM memory through the serial/parallel converter for serial communication and the sub-CPU performs prescribed arithmetic corresponding to the contents of the controlling contents transferred to the second RAM memory.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-108835

(P2002-108835A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 6 F 15/16	6 2 0	G 0 6 F 15/16	6 2 0 C 3 G 0 8 4
F 0 2 D 45/00	3 7 4	F 0 2 D 45/00	3 7 4 C 5 B 0 1 8
	3 7 6		3 7 6 E 5 B 0 3 4
	3 8 0		3 8 0 5 B 0 4 5
G 0 5 B 15/02		G 0 5 B 15/02	M 5 H 2 1 5
審査請求 未請求 請求項の数 8 O L (全 14 頁) 最終頁に続く			

(21) 出願番号 特願2000-298351 (P2000-298351)

(22) 出願日 平成12年9月29日 (2000.9.29)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中本 勝也

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 橋田 光弘

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 100102439

弁理士 宮田 金雄 (外1名)

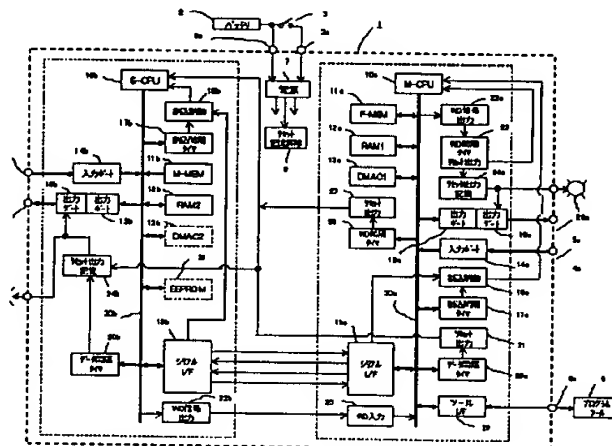
最終頁に続く

(54) 【発明の名称】 車載電子制御装置

(57) 【要約】

【課題】 運転開始時の制御定数の転送や運転中における多様なデータを自由に相互通信することができるシリアル通信手段を提供する。

【解決手段】 外部ツールから被制御車両対応の第一の制御プログラム及び制御定数が少なくとも書込まれる第一の不揮発メモリと演算処理用の第一のRAMメモリ及び第一の入出力ポートを備えたメインCPU、第二の制御プログラムが書込まれた第二の不揮発メモリと演算処理用の第二のRAMメモリ及び第二の入出力ポートを備えたサブCPU、被制御車両の運転中においてメインCPUとサブCPU間で相互にデータ通信を行う全二重方向シリアル通信用直並列変換器を備え、被制御車両の運転開始時には第一の不揮発メモリに格納された制御定数の一部がシリアル通信用直並列変換器を介して第二のRAMメモリに転送され、サブCPUは第二の不揮発メモリの第二の制御プログラムの内容と、第二のRAMメモリに転送された制御定数の内容に応じて所定の演算を行う。



## 【特許請求の範囲】

【請求項 1】 電源スイッチを介して車載バッテリーから給電される車載電子制御装置であって、外部ツールから被制御車両対応の第一の制御プログラム及び制御定数が少なくとも書込まれる第一の不揮発メモリと演算処理用の第一の RAMメモリ及び第一の入出力ポートを備えたメイン CPU、第二の制御プログラムが書込まれた第二の不揮発メモリと演算処理用の第二の RAMメモリ及び第二の入出力ポートを備えたサブ CPU、上記被制御車両の運転中において上記メイン CPU と上記サブ CPU 間で相互にデータ交信を行う全二重双方向シリアル通信用直並列変換器を備え、上記被制御車両の運転開始時には上記第一の不揮発メモリに格納された制御定数の一部が上記シリアル通信用直並列変換器を介して上記第二の RAMメモリに転送され、上記サブ CPU は上記第二の不揮発メモリの第二の制御プログラムの内容と、上記第二の RAMメモリに転送された制御定数の内容に応じて所定の演算を行うことを特徴とする車載電子制御装置。

【請求項 2】 各 CPU 及びメモリに給電する第二の電源端子と、上記電源スイッチを介さず上記車載バッテリーに接続され、少なくとも第二の RAMメモリに給電する第一の電源端子とを備え、上記電源スイッチが遮断されても、少なくとも上記第二の RAMメモリの内容は上記第一の電源端子から給電されることにより保持されることを特徴とする請求項 1 記載の車載電子制御装置。

【請求項 3】 第三の不揮発メモリをさらに備え、電源スイッチの遮断時に第二の RAMメモリの内容は上記第三の不揮発メモリに退避され、上記電源スイッチの再投入時に上記第三の不揮発メモリから上記第二の RAMメモリに転送されることを特徴とする請求項 1 記載の車載電子制御装置。

【請求項 4】 メイン CPU 及びサブ CPU は、被制御車両の運転開始時において第一の不揮発メモリの内容が変更されている時に第一の不揮発メモリに格納された制御定数を上記サブ CPU に送信する制御定数送信手段と、上記第一の不揮発メモリの内容が変更されていない場合に送信側 CPU から受信側 CPU に対してデータの送信を割込要求することができる直接要求手段と、この直接要求手段による割込要求は無いが上記送信側 CPU から上記受信側 CPU への割込送信の必要が有る場合及び上記割込送信の必要が無くても上記受信側 CPU から上記送信側 CPU へのデータ要求が有る場合に送信データを不定期データとして送信する不定期データ送信手段と、上記直接要求手段による割込要求、割込送信の必要及び上記受信側 CPU から上記送信側 CPU へのデータ要求の全てが無い場合に送信データを定期データとして周期的に送信する定期データ送信手段とを備えたことを特徴とする請求項 1 から 3 のいずれか一項に記載の車載電子制御装置。

【請求項 5】 メイン CPU またはサブ CPU 側の少な

くとも一方のデータバスにはダイレクトメモリアクセスコントローラが接続され、シリアル通信用直並列変換器を介して受信した送信データが受信側 CPU を介さずに受信側 RAMメモリに格納されることを特徴とする請求項 1 から 4 のいずれか一項に記載の車載電子制御装置。

【請求項 6】 メイン CPU 及びサブ CPU は、シリアル通信用直並列変換器による受信データを受信側 CPU でエラーチェックするサムチェック手段と、このサムチェック手段が上記受信データに誤りがあると判定した時に送信側 CPU に対して上記受信データの再送を要求する再送要求手段と、上記送信側 CPU から上記受信側 CPU への送信開始時刻と上記サムチェック手段からの上記受信データの確認回答受信時刻とが所定時間間隔であるか否かを判定するタイムアウトチェック手段とを備えたことを特徴とする請求項 1 から 5 のいずれか一項に記載の車載電子制御装置。

【請求項 7】 メイン CPU はサブ CPU のウォッチドッグ信号及び通信のタイムアウトチェック結果を監視して、上記サブ CPU の動作異常時にリセットパルス出力を発生して上記サブ CPU を再起動するリセット出力手段を備え、上記メイン CPU のウォッチドッグ信号を監視して、動作異常時にリセットパルス出力を発生して上記メイン CPU を再起動させるウォッチドッグタイマ回路を備えていることを特徴とする請求項 1 から 6 のいずれか一項に記載の車載電子制御装置。

【請求項 8】 リセットパルス出力の発生を記憶すると共に、電源スイッチの遮断または再投入によってリセットされる記憶素子、この記憶素子の動作に応じて一部の負荷の駆動を停止する出力停止回路、上記記憶素子の動作に応じて動作異常の警報、表示を行う警報表示手段を備えていることを特徴とする請求項 7 記載の車載電子制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、例えば自動車用エンジンの制御等に用いられる 2 個の CPU（マイクロプロセッサ）を内蔵した電子制御装置、特にシリアル通信機能を用いてメイン CPU とサブ CPU 間で多数のデータを交信するのに適した改良された車載電子制御装置に関するものである。

## 【0002】

【従来の技術】 全体制御を行うメイン CPU と特定機能を対象とした制御を行うサブ CPU と、両 CPU 間で各種のデータ交信を行うシリアル通信機能とを備えた車載電子制御装置は公知である。例えば、特開平 10-89141 号公報「エンジン制御装置」ではメインマイコン（メイン CPU）のフラッシュメモリ（第一の不揮発メモリ）にサブマイコン（サブ CPU）の制御データ（制御定数）を記憶させ、制御開始時にシリアル通信でサブ

マイコンのRAMメモリに転送すると共に、上記フラッシュメモリのデータは外部書き込み装置（外部ツール）から書換えができるようにして、サブマイコンの制御データを外部書き込み装置から間接的に書き込み設定することが提示されている。

【0003】一方、特開平5-128065号公報「データ通信装置」では、マスタCPUとスレーブCPU間で通信用クロック信号とハンドシェイク信号を用いてデジタルデータを送信するエンジン制御装置が記載されており、上記デジタルデータはエンジン制御装置の運転中において発生する様々な制御情報としてとらえられている。その他、データバスで接続された2個のCPUを用いたエンジン制御装置において、その動作監視に関するものとして、例えば特開平5-81222号公報「2CPUの動作監視方法」ではサブCPUの暴走監視はメインCPUで行うが、メインCPUの暴走監視はウォッチドッグタイマ回路によるハードウェアで行うことが提示されている。上記の暴走監視では、異常発生時にCPUをリセットして再起動するものであるが、特開平8-339308号公報「デジタル処理装置」では、異常発生を記憶して通常リセットではCPUの再起動ができない完全停止状態とし、この完全停止状態は動作電源の再投入によって解除されることが提示されている。

【0004】

【発明が解決しようとする課題】上記のような従来技術において、特開平10-89141号公報にあっては運転開始時において、メインマイコンからサブマイコンへ制御定数を一括ダウンロードすることを目的としてシリアル通信手段が用いられており、その他の限定された信号はサブマイコンからメインマイコンへ直接渡しされている。また、特開平5-128065号公報にあってはマスタCPUとスレーブCPU間で相互に多様なデータを相互通信するための自由度が無いという問題がある。更に、特開平5-81222号公報にあっては、CPUの暴走発生時に単にCPUを再起動しただけでは問題が残されることがある一方で、特開平8-339308号公報のようにCPUを完全停止してしまうことにも問題がある。

【0005】この発明の第一の目的は、機能分担されたメインCPUとサブCPUを備えた車載電子制御装置において、上記のような問題を改善して、運転開始時の制御定数の転送や運転中における多様なデータを自由に相互通信することができるシリアル通信手段を提供することである。この発明の第二の目的は、上記のような2個のCPUを備えた車載電子制御装置において、各CPUの暴走監視・通信異常監視を行って、安全な異常回復を行うための付加機能を提供することである。

【0006】

【課題を解決するための手段】この発明に係る車載電子制御装置は、電源スイッチを介して車載バッテリーから給

電される車載電子制御装置であって、外部ツールから被制御車両対応の第一の制御プログラム及び制御定数が少なくとも書込まれる第一の不揮発メモリと演算処理用の第一のRAMメモリ及び第一の入出力ポートを備えたメインCPU、第二の制御プログラムが書込まれた第二の不揮発メモリと演算処理用の第二のRAMメモリ及び第二の入出力ポートを備えたサブCPU、被制御車両の運転中においてメインCPUとサブCPU間で相互にデータ交信を行う全二重双方向シリアル通信用直並列変換器を備え、被制御車両の運転開始時には第一の不揮発メモリに格納された制御定数の一部がシリアル通信用直並列変換器を介して第二のRAMメモリに転送され、サブCPUは第二の不揮発メモリの第二の制御プログラムの内容と、第二のRAMメモリに転送された制御定数の内容に応じて所定の演算を行うものである。

【0007】また、各CPU及びメモリに給電する第二の電源端子と、電源スイッチを介さず車載バッテリーに接続され、少なくとも第二のRAMメモリに給電する第一の電源端子とを備え、電源スイッチが遮断されても、少なくとも第二のRAMメモリの内容は第一の電源端子から給電されることにより保持されるものである。

【0008】また、第三の不揮発メモリをさらに備え、電源スイッチの遮断時に第二のRAMメモリの内容は第三の不揮発メモリに退避され、電源スイッチの再投入時に第三の不揮発メモリから第二のRAMメモリに転送されるものである。

【0009】また、メインCPU及びサブCPUは、被制御車両の運転開始時において第一の不揮発メモリの内容が変更されている時に第一の不揮発メモリに格納された制御定数をサブCPUに送信する制御定数送信手段と、第一の不揮発メモリの内容が変更されていない場合に送信側CPUから受信側CPUに対してデータの送信を割込要求することができる直接要求手段と、この直接要求手段による割込要求は無いが送信側CPUから受信側CPUへの割込送信の必要が有る場合及び割込送信の必要が無くても受信側CPUから送信側CPUへのデータ要求が有る場合に送信データを不定期データとして送信する不定期データ送信手段と、直接要求手段による割込要求、割込送信の必要及び受信側CPUから送信側CPUへのデータ要求の全てが無い場合に送信データを定期データとして周期的に送信する定期データ送信手段とを備えたものである。

【0010】また、メインCPUまたはサブCPU側の少なくとも一方のデータバスにはダイレクトメモリアクセスコントローラが接続され、シリアル通信用直並列変換器を介して受信した送信データが受信側CPUを介さずに受信側RAMメモリに格納されるものである。

【0011】また、メインCPU及びサブCPUは、シリアル通信用直並列変換器による受信データを受信側CPUでエラーチェックするサムチェック手段と、このサ

10

20

30

40

50

ムチェック手段が受信データに誤りがあると判定した時に送信側CPUに対して受信データの再送を要求する再送要求手段と、送信側CPUから受信側CPUへの送信開始時刻とサムチェック手段からの受信データの確認回答受信時刻とが所定時間間隔であるか否かを判定するタイムアウトチェック手段とを備えたものである。

【0012】また、メインCPUはサブCPUのウォッチドッグ信号及び通信のタイムアウトチェック結果を監視して、サブCPUの動作異常時にリセットパルス出力を発生してサブCPUを再起動するリセット出力手段を備え、メインCPUのウォッチドッグ信号を監視して、動作異常時にリセットパルス出力を発生してメインCPUを再起動させるウォッチドッグタイマ回路を備えているものである。

【0013】また、リセットパルス出力の発生を記憶すると共に、電源スイッチの遮断または再投入によってリセットされる記憶素子、この記憶素子の動作に応じて一部の負荷の駆動を停止する出力停止回路、記憶素子の動作に応じて動作異常の警報、表示を行う警報表示手段を備えているものである。

【0014】

【発明の実施の形態】以下、この発明の実施の形態による車載電子制御装置のブロック回路図を示す図1について説明する。図1において、1は後述のメインCPU10a、サブCPU10bによって構成された車載電子制御装置、2は第一電源端子2aを介して車載電子制御装置1に給電する例えばDC12V系の車載バッテリー、3は該車載バッテリーと第二電源端子3a間に接続されたイグニションスイッチ等の電源スイッチであり、該電源スイッチはイグニションスイッチによって駆動される電磁リレーの出力接点を用いられることもある。4a、4bはメインCPU10a側またはサブCPU10b側に供給される多数のON/OFF信号スイッチあるいはアナログ信号に対する第一・第二の入力端子群、5a、5bはメインCPU10a側またはサブCPU10b側から駆動される多数の車載負荷に対する第一・第二の出力端子群、6は製品出荷時或いは保守・点検時に接続端子6aを介して接続され、車載電子制御装置1に対して被制御車種に対応した制御プログラムや制御定数を書込むための外部ツールである。

【0015】7は上記第一電源端子2a及び第二電源端子3aから給電され、DC5V、3.3V等の制御用定電圧を発生する電源ユニット、8は電源スイッチ3の投入時または遮断時に短時間パルスが発生するワンショットタイマであり、該ワンショットタイマの出力パルスによって後述の記憶素子24a、24bのリセット出力記憶がリセットされるようになっている。10aは全体制御機能を受持つメインCPUであり、該メインCPUは第一のデータバス30aを介して以下の各種デバイスに接続されている。11aは上記外部ツール6から予め制御プログラムや制御定数等が書込まれているフラッシュメモリ等の第一の不揮

発メモリ、12aは各種データが読書きされる演算処理用の第一のRAMメモリ、13aはメインCPU10aが内部演算中であって第一のデータバス30aとの入出力処理を行っていないタイミングを検出して、後述の直並列変換器19aと第一のRAMメモリ12a間で直接的にデータの交信を行わせるダイレクト・メモリアクセス・コントローラ(DMAC)であり、該DMACはメインCPU10aに依存せずに大量のデータを高速交信するのに適している。

【0016】14aは第一入力端子群4aからの入力信号を第一のデータバス30aに接続する第一の入力ポート、15aは第一のデータバス30aから第一の出力端子群5aに対して制御出力を供給するための第一の出力ポート、16aは一部の制御出力を停止するための第一の出力ゲートであり、該出力ゲートは後述の第一の記憶素子24aが動作している時に、特定の負荷に限って制御出力を停止するためのものである。17aは後述のシリアル通信の動作開始を指示するために、第一の割込制御手段18aを介してメインCPU10aに割込制御信号を供給する第一の割込間隔タイマ手段、19aは全二重シリアル通信用の直並列変換器であり、該直並列変換器は送信データSD、受信データRD、送信要求RS、送信可CS等の信号線によって相手側の直並列変換器19bとの間でシリアルデータの交信を行うものである。

【0017】20aはシリアルデータの送信を行ってから、相手側の受信確認が得られるまでの時間を計測する第一のデータ間隔タイマ手段、21は上記通信時間が所定値以上のタイムアウトである場合に作用し、サブCPU10bをリセットして再起動させるリセット出力手段、22aはメインCPU10aが正常に動作している時に所定周期のパルス列を発生する第一のウォッチドッグ信号、23は該ウォッチドッグ信号パルスの時間幅が所定値を超過した時にメインCPU10aに対してリセットパルス出力を供給してメインCPU10aを再起動させるウォッチドッグタイマ回路、24aは該ウォッチドッグタイマ回路がリセットパルス出力を発生したことを記憶する第一の記憶素子であり、上記ウォッチドッグタイマ回路はメインCPU10aの外部に設けられたハードウェアとなっている。なお、メインCPU10aがリセットされて再起動されるまでの間は、図示しないハードウェアによってメインCPU10a側の全ての制御出力が開放状態とされ、プルアップまたはプルダウン抵抗等によって安全側の動作を行うように構成されている。

【0018】25はサブCPU10bが発生するウォッチドッグ信号22bをメインCPU10aに供給するウォッチドッグ入力信号、26は該ウォッチドッグ入力信号のパルス時間幅が所定値を超過した時にリセット出力手段27を介してサブCPU10bに対してリセットパルス出力を供給し、サブCPU10bを再起動させるウォッチドッグ間隔タイマ手段である。なお、28aは上記第一の記憶素子24a

がリセット出力を記憶している時に応動する警報・表示器、29は外部ツール6と第一のデータバス30a間に接続されたツールインタフェースである。

【0019】10bは特定の制御機能を受持つサブCPUであり、該サブCPUは第二のデータバス30bを介して以下の各種デバイスに接続されている。11bは予めサブCPU10bの制御プログラムや固定の制御定数等が書込まれているマスクROM等の第二の不揮発メモリ、12bは各種データが読書きされる演算処理用の第二のRAMメモリ、13bは必要に応じて設けられサブCPU10bが内部演算中であって第二のデータバス30bとの入出力処理を行っていないタイミングを検出して、後述の直並列変換器19bと第二のRAMメモリ12b間で直接的にデータの

20 10bは第二入力端子群4bからの入力信号を第二のデータバス30bに接続する第二の入力ポート、15bは第二のデータバス30bから第二の出力端子群5bに対して制御出力を供給するための第二の出力ポート、16bは一部の制御出力を停止するための第二の出力ゲートであり、該出力ゲートは後述の第二の記憶素子24bが動作している時に、特定の負荷に限りて制御出力を停止するためのものである。17bは後述のシリアル通信の動作開始を指示するために、第二の割込制御手段18bを介してサブCPU10bに割込制御信号を供給する第二の割込間隔タイマ手段、19bは全二重シリアル通信用の直並列変換器であり、該直並列変換器は送信データSD、受信データRD、送信要求RS、送信可CS等の信号線によって相手側の直並列変換器19aとの間でシリアルデータの

【0021】20bはシリアルデータの送信を行ってから、相手側の受信確認が得られるまでの時間を計測する第二のデータ間隔タイマ手段、22bはサブCPU10bが正常に動作している時に所定周期のパルス列を発生する第二のウォッチドッグ信号、24bは上記リセット出力手段21や27がサブCPU10bにリセットパルスを供給したしたり、第二のデータ間隔タイマ20bがタイムアウトであったことを記憶する第二の記憶素子である。なお、サブCPU10bがリセットされて再起動されるまでの間は、図示しないハードウェアによってサブCPU10b側の全ての制御出力が開放状態とされ、プルアップまたはプルダウン抵抗等によって安全側の動作を行うように構成されている。また、28bは上記第二の記憶素子24bがリセット出力を記憶している時に応動する警報・表示器、31は必要に応じて設けられるEEPROM等の第三の不揮発メモリである。

【0022】図1のとおり構成されたこの発明の一実施の形態装置において、先ず図1によりその作用・動作の

概要を説明する。ここで説明する車載電子制御装置1は例えば自動車用エンジンの制御装置であって、メインCPU10aに接続された第一の入力ポート14aには例えばエンジンのクランク角センサ等の高速動作を行う信号入力

【0023】メインCPU10aは予め外部ツール6から第一の不揮発メモリ11aに書込まれた制御プログラムや制御定数に基づいて動作し、第一・第二の入力ポート14a・14bからの入力信号に応動して、第一・第二の出力ポート15a・15bに制御出力を発生するが、上記制御プログラムや制御定数は被制御車種によって異なる内容のものとなっている。サブCPU10bは多数の入力信号に対するデジタルフィルタ機能や入出力信号の断線の有無を

30 サブCPU10bの制御プログラムや固定の制御定数は第二の不揮発メモリ11bに格納されていて、その内容は被制御車種によって変化することがない。但し、デジタルフィルタの定数等の一部の制御定数は第一の不揮発メモリ11aから第二のRAMメモリ12bに転送され、被制御車種に応じて変更することができるようになっている。また、第二の不揮発メモリ11bに格納される制御プログラムの一部は被制御車種によって選択使用ができるようになっていて、この選択情報も第一の不揮発メモリ11aから第二のRAMメモリ12bに転送され、サブCPU10bは第二のRAMメモリ12bの内容を参照しながら第二の不揮発メモリ11bの内容によって動作するようになっている。このように動作の基本となる制御プログラムが、予め第二の不揮発メモリ11bに格納されているので、第一の不揮発メモリ11aから第二のRAMメモリ12bへ転送されるデータが少なくなると共に、電源電圧の異常低下やノイズ等によって制御プログラムが消失するのを防止しているものである。

【0025】シリアル通信用の直並列変換器19a、19bは、例えばJIS-C6362で定められた伝送制御手順によって動作するものであって、直並列変換器19a、19bに内蔵された限られた容量のバッファメモリに所定のデータが格納されると第一・第二の割込制御手段18a、18bを介してメインCPU10aやサブCPU10bにデータの



読出を促す等のマイクロレベルの動作については説明を省略する。両CPU間でのマクロレベルでのデータの交信については図2、図3によって後述するが交信すべきデータの内容は次のとおり分類される。

【0026】メインCPU→サブCPUへの送信データ  
AA：メインCPUが自発的に送信するデータ

AA1：外部ツール6から第一の不揮発メモリ11aに制御プログラムや制御定数が書込まれたり、書換え変更が行われた時にサブCPU10bに必要とされる制御データを一括して送信する。(運転開始時)

AA2：第二の出力ポート15bに対する制御出力信号  
(運転中常時)

AA3：一部の制御定数を学習結果によって変更したり、運転中に変化したメインCPU10aのステータス情報等。(運転中の適時)

AA4：サブCPUに対する送信要求内容(運転中適時)

AB：サブCPUからの要求によって送信するデータ

AB1：第二のRAMメモリ12bに格納された制御定数にサムチェックエラーが発生した時(運転開始時及び運  
20 転中の適時)

AB2：メインCPU10aのステータス情報等(運転中の適時)

【0027】サブCPU→メインCPUへの送信データ

BB：サブCPUが自発的に送信するデータ

BB2：第二の入力ポート14bに対する入力信号(運  
20 転中常時)

BB3：運転中に変化したサブCPU10bのステータス情報や入出力診断によるエラーコード情報等。(運転中の適時)

BB4：メインCPUに対する送信要求内容(運転中適時)や第二のRAMメモリ12bに格納された制御定数のエラーチェックでエラーがあった時の制御定数送信要求  
(運転開始時)

BA：メインCPUからの要求によって送信するデータ

BA2：サブCPU10bのステータス情報等(運転中の適時)

なお、第二のRAMメモリ12bの内容は運転停止中であっても第一電源端子2aからの給電によって保持されているので、車載バッテリー2の異常電圧低下やバッテリー端子の開放等がなければ、一般にはメインCPU10aからサブCPU10bへの制御定数の転送は上記AA1モードの一回のみで良いものである。また、運転開始時では電源スイッチ3が投入されてからエンジンが始動開始するまでの僅かの時間中は車載電子制御装置1がエンジン制御を行えなくても問題がなく、この間は各CPUは制御定数の転送に専念できる状態となっている。従って、メインCPU10aからサブCPU10bへのAA2モードに対する送信データが少なければ、第二のDMAC13bは不要である。

【0028】一方、メインCPU10aはウォッチドッグタイマ回路23によって暴走監視され、動作異常時は自動的にリセットされて再起動されるが、サブCPU10bの暴走監視はメインCPU10aによって行われ、動作異常時はリセット出力手段27によって自動的にリセットされて再起動されると共に、サブCPU10b側の通信異常

(タイムアウト)に対してはリセット出力手段21によってサブCPU10bが自動的にリセットされて再起動される。これに対し、メインCPU10a側の通信異常(タイムアウト)に対しては、第二のデータ間隔タイマ20bによって第二の記憶素子24bが動作記憶するようになっていて、メインCPU10aのリセット・再起動処理は行わないものの、自己防衛として第二の出力ゲート16bの一部を出力停止にしたり、第二の警報・表示器28bを作動させるようになっている。

【0029】各CPUがノイズ等によって暴走した場合には、リセットパルス出力によって自動的に再起動され、一般には運転手も気が付かないで回復するが、安全にかかわる高度機能や便利機能については出力停止回路である第一・第二の出力ゲート16a・16bによって負荷の駆動が停止され、この状態は第一・第二の警報・表示器28a・28bによって運転手に警告される。このような出力停止状態は電源スイッチ3を遮断して車両の運転を停止しなければ回復しないので、運転手が認知でき保守点検を促すことができるように配慮されている。但し、異常発生時にあらゆる負荷の駆動を停止することはかえって危険なことであり、上記のような特定の出力のみに限定して出力停止が行われるものである。仮に出力停止を行う適切な負荷が無い時でも、警報・表示器28a、28bによって暴走発生や通信異常を認知することができるようになっている。

【0030】図2はメインCPU10aからサブCPU10bへのデータ送信に関する動作説明用フローチャートである。図2において、200aは図1における第一の割込間隔タイマ手段17aの動作に応動してメインCPU10aに対する割込みが発生したことにより活性化される動作開始工程、201aは第一の不揮発メモリ11aに対して制御プログラムや制御定数の書込みや書換え等のプログラム変更が行われた直後であるかどうかを記憶する図示しないフラグの状態を判定する工程、202aは工程201aがプログラム変更直後であると判定した場合に作用し、第一の不揮発メモリ11aに書込まれているサブCPU10bの制御定数を送信する工程である。203aは工程201aがプログラム変更無しの時に作用し、相手CPUに対して何らかのデータ送信を直接要求するかどうかを記憶する図示しないフラグの状態を判定する工程、204aは工程203aが送信要求無しの時に作用し、送信要求データのアドレス等の要求内容コマンドを送信する工程、205aは工程203aが送信要求無しの時に作用し、相手CPUに対して割込みで送信したいデータがあるかどうかの必要性を記憶する図示しないフ  
50

ラグの状態を判定する工程である。

【 0 0 3 1 】 206aは工程205aが割込送信必要有の時に作用し、不定期データを送信する工程、207aは工程205aが必要無の時に作用し、相手CPUから割込みでデータ送信を要求されているかどうかを記憶する図示しないフラグの状態を判定する工程、208aは工程207aが被要求有の時に作用し被要求データを送信する工程、209aは工程207aが被要求データ無の時に作用して定期データを送信する工程、210aは工程202a、204a、206a、208a、209a等でデータやコマンドが送信された時に作用し、図1における第一のデータ間隔タイマ20aを起動する工程である。なお、上記各種送信データは送信データの内容やフレーム構成を示したコマンドと送信データのアドレスや該アドレスに格納するデータなどによって構成されている。一方、200bはサブCPU10b側の動作開始工程であり、該開始工程は図1における第二の直並列変換器19bと第二の割込制御手段18bの動作に反応して活性化される。

【 0 0 3 2 】 201bはメインCPU10aからの各種送信データや送信コマンドをサブCPU10b側で受信する工程、202bは工程201bで受信した一連のデータの内容をチェックする判定工程、203bは工程202bで受信データが異常である時に作用して、メインCPU10aに対する回答として再送要求を送信する工程、204bは工程202bで受信データが正常である時に作用して、メインCPU10aに対する回答として正常受信であったことを送信する工程、205bは動作終了工程である。なお、工程203bや工程204bにおける確認回答情報の送信は、図3におけるサブCPU10b側の様々なデータ送信の合間で割込み送信されるものである。

【 0 0 3 3 】 メインCPU10a側の工程211aはサブCPU10b側からの確認回答を受信する工程、212aは工程210aで起動された第一のデータ間隔タイマ20aが所定時間を超過しているかどうかを判定する工程、213aは工程212aがタイムアウトであると判定した時に作用し、図1のリセット出力手段21によってサブCPU10bをリセットして再起動させる工程、214aは工程212aがタイムアウトで無い時に作用して、サブCPU10bからの確認回答を未受信であれば工程211aへ復帰し、確認回答を受信すれば工程215aへ移行する判定工程、215aは工程211aにおける確認回答の内容がデータ再送要求であれば工程201aへ復帰し、確認回答の内容が正常受信であれば工程216aに移行する判定工程である。

【 0 0 3 4 】 216aは一連の送信が完了したかどうかを格納した図示しないフラグの状態を判定する工程、217aは工程216aが送信完了判定である時に作用して、上記各種フラグをリセットする工程、218aは工程216aが送信完了で無い時に作用し、引続き送信すべきデータのアドレスを更新設定する工程、219aは工程213a、217a、218aに続いて動作し、工程210aで起動された第一のデータ間隔

タイマ20aをリセットする工程、220aはこれに続く終了工程である。なお、202aは制御定数送信手段、202bはサムチェック手段、203bは再送要求手段、204aは直接要求手段、206aや208aは不定期データ送信手段、209aは定期データ送信手段、212aはタイムアウトチェック手段となるものである。

【 0 0 3 5 】 図3はサブCPU10bからメインCPU10aへのデータ送信に関する動作説明用フローチャートである。図3において、300bは図1における第二の割込間隔タイマ手段17bの動作に反応してサブCPU10bに対する割込みが発生したことにより活性化される動作開始工程、303bは相手CPUに対して何らかのデータ送信を直接要求するかどうかを記憶する図示しないフラグの状態を判定する工程、304bは工程303bが送信要求有の時に作用し、送信要求データのアドレス等の要求内容コマンドを送信する工程、305bは工程303bが送信要求無の時に作用し、相手CPUに対して割込みで送信したいデータがあるかどうかの必要性を記憶する図示しないフラグの状態を判定する工程である。

【 0 0 3 6 】 306bは工程305bが割込送信必要有の時に作用し、不定期データを送信する工程、307bは工程305bが必要無の時に作用し、相手CPUから割込みでデータ送信を要求されているかどうかを記憶する図示しないフラグの状態を判定する工程、308bは工程307bが被要求有の時に作用し被要求データを送信する工程、309bは工程307bが被要求データ無の時に作用して定期データを送信する工程、310bは工程304b、306b、308b、309b等でデータやコマンドが送信された時に作用し、図1における第二のデータ間隔タイマ20bを起動する工程である。なお、上記各種送信データは送信データの内容やフレーム構成を示したコマンドと送信データのアドレスや該アドレスに格納するデータなどによって構成されている。一方、300aはメインCPU10a側の動作開始工程であり、該開始工程は図1における第一の直並列変換器19aと第一の割込制御手段18aの動作に反応して活性化される。

【 0 0 3 7 】 301aはサブCPU10bからの各種送信データや送信コマンドをメインCPU10a側で受信する工程、302aは工程301aで受信した一連のデータの内容をチェックする判定工程、303aは工程302aで受信データが異常である時に作用して、サブCPU10bに対する回答として再送要求を送信する工程、304aは工程302aで受信データが正常である時に作用して、サブCPU10bに対する回答として正常受信であったことを送信する工程、305aは動作終了工程である。なお、工程303aや工程304aにおける確認回答情報の送信は、図2におけるメインCPU10a側の様々なデータ送信の合間で割込み送信されるものである。

【 0 0 3 8 】 サブCPU10b側の工程311bはメインCPU10a側からの確認回答を受信する工程、312bは工程310bで起動された第二のデータ間隔タイマ20bが所定時間を

超過しているかどうかを判定する工程、313bは工程312bがタイムアウトであると判定した時に作用し、図1における第二の記憶素子24bを作動させる工程、314bは工程312bがタイムアウトで無い時に作用して、メインCPU10aからの確認回答を未受信であれば工程311bへ復帰し、確認回答を受信すれば工程315bへ移行する判定工程、315bは工程311bにおける確認回答の内容がデータ再送要求であれば工程303bへ復帰し、確認回答の内容が正常受信であれば工程316bに移行する判定工程である。

【0039】316bは一連の送信が完了したかどうかを格納した図示しないフラグの状態を判定する工程、317bは工程316bが送信完了判定である時に作用して、上記各種フラグをリセットする工程、318bは工程316bが送信完了で無い時に作用し、引続き送信すべきデータのアドレスを更新設定する工程、319bは工程313b、317b、318bに連続して動作し、工程310bで起動された第二のデータ間隔タイマ20bをリセットする工程、320bはこれに続く終了工程である。なお、サブCPU10bは運転開始時に第二のRAMメモリ12b内の制御定数の内容をチェックして、これにエラーがあれば工程303bで割込要求を行い、工程304bで要求コマンドを送信する。その結果、図2の工程208aによって必要とする制御定数がメインCPU10aからサブCPU10bへ送信されることになる。以上の説明において、302aはサムチェック手段、303aは再送要求手段、304bは直接要求手段、306bや308bは不定期データ送信手段、309bは定期データ送信手段、312bはタイムアウトチェック手段となるものである。

【0040】以上の実施の形態においては、第二のデータ間隔タイマ20bによって、メインCPU10aの通信異常（タイムアウト）を検出した時、サブCPU10b側ではメインCPU10aから得られた情報が不確定であるため、自衛策として第二の記憶素子24bを作動させて第二の出力ゲート16bによる一部の出力を停止したり、第二の警報・表示器28bを作動させているが、この時メインCPU10aをリセットして再起動させるようにしても良い。また、第一・第二の記憶素子24a・24bによって、それぞれの側の出力停止を行っているが、例えば第一の記憶素子24aの動作に応動して、第一の出力ゲート16aを停止するだけでなく、第二の出力ゲート16bも停止するように相互に関連のある出力を停止することもできる。更に、上記第一・第二の出力ゲート16a・16bは、特定の車載負荷の駆動回路に設けられた電磁リレーを遮断するようにしても良い。

【0041】また、以上の実施の形態では、ウォッチドッグ信号の異常や通信異常が一度発生するとこれを記憶して、出力停止や警報表示を行うようになっているが、これらの異常が複数回発生した時に出力停止や警報表示を行うようにするカウンタ回路を設けても良い。更に、第一・第二のRAMメモリ12a・12bは電源スイッチ3が遮断されて車両の運転を停止されても、第一電源端子2a

から給電されてメモリ内容が保持されるようになっている。しかし、誤ってルームランプを点灯したままで長時間駐車して車載バッテリー2の電圧が異常低下したり、何らかの保守作業でバッテリー端子が外されるとRAMメモリの内容が消失する。

【0042】この場合、サブCPU10bで必要とされる制御定数は、運転開始時にデータ異常となつてサブCPU10bからの要求によって第一の不揮発メモリ11aから第二のRAMメモリ12bへ転送されるが、メインCPU10aやサブCPU10b内の各種学習データ等は回復することができない。その対策として、図1の電源スイッチ3の代わりに電源リレーの出力接点を用い、該電源リレーは電源スイッチの動作に応じて瞬時動作・遅延復帰させるようにしておけば、電源スイッチの遮断後も暫くは第二電源端子に電圧が供給されており、この間に例えば第二のRAMメモリ12bの内容をEEPROM等の第三の不揮発メモリ31に退避し、運転再開時には第三の不揮発メモリ31から第二のRAMメモリ12bへ転送することができる。これは第一のRAMメモリ12a側でも同様であり、第一のデータバス30aに図示しない不揮発メモリを接続しておけば良い。

【0043】図2・図3で説明した実施の形態においては、メインCPU10a、サブCPU10bの両方で定期データ送信手段209a、309bや自発的な不定期データ送信手段206a、306bと受動的な不定期データ送信手段208a、308bを備えているが、自発的な不定期送信データはその内容の変化の有無に係わらず定期送信データの一部として定期的に送信するようにしても良いし、相手CPUに対する直接要求は例えばメインCPU10aからサブCPU10bに対してのみ有効とするなどの様々な変形形態を用いることが可能である。また、メインCPU10aは運転開始時に必ず制御定数の送信を行うようにすることもできる。

#### 【0044】

【発明の効果】以上のように、請求項1記載の発明によれば、電源スイッチを介して車載バッテリーから給電される車載電子制御装置であつて、外部ツールから被制御車両対応の第一の制御プログラム及び制御定数が少なくとも書込まれる第一の不揮発メモリと演算処理用の第一のRAMメモリ及び第一の入出力ポートを備えたメインCPU、第二の制御プログラムが書込まれた第二の不揮発メモリと演算処理用の第二のRAMメモリ及び第二の入出力ポートを備えたサブCPU、被制御車両の運転中においてメインCPUとサブCPU間で相互にデータ交信を行う全二重双方向シリアル通信用直並列変換器を備え、被制御車両の運転開始時には第一の不揮発メモリに格納された制御定数の一部がシリアル通信用直並列変換器を介して第二のRAMメモリに転送され、サブCPUは第二の不揮発メモリの第二の制御プログラムの内容と、第二のRAMメモリに転送された制御定数の内容に

応じて所定の演算を行うので、全体制御を受持つメイン CPU は被制御車両の車種対応で制御プログラムや制御定数の変更ができると共に、特定機能を受持つサブ CPU も被制御車両の車種対応で制御定数の変更ができるため、制御装置全体の標準化が可能となるものであって、運転開始時は制御定数のみを転送すれば良いのでシリアル通信であっても短時間に運転可能状態となる効果がある。また、運転中にあってはシリアル通信によって各 CPU 相互に各種制御データの通信を行っているので、確実に機能分担が行えると共に、相互通信のために各 CPU の入出力ポートが増加しない効果がある。

【0045】また、請求項 2 記載の発明によれば、各 CPU 及びメモリに給電する第二の電源端子と、電源スイッチを介さず車載バッテリーに接続され、少なくとも第二の RAM メモリに給電する第一の電源端子とを備え、電源スイッチが遮断されても、少なくとも第二の RAM メモリの内容は第一の電源端子から給電されることにより保持されるので、外部ツールを用いて第一の不揮発メモリに対して制御プログラムや制御定数の新規書込や書換えが行われた直後の状態を除いて、通常は第二の RAM メモリに対する制御定数の転送は不要であり、駐車中に車載バッテリー端子の開放などが行われた時や車載バッテリーの異常電圧低下などがあった時のみ、制御定数の異常を検出して再送すれば良いので制御定数の無駄な送信を行わなくても良いという効果がある。

【0046】また、請求項 3 記載の発明によれば、第三の不揮発メモリをさらに備え、電源スイッチの遮断時に第二の RAM メモリの内容は第三の不揮発メモリに退避され、電源スイッチの再投入時に第三の不揮発メモリから第二の RAM メモリに転送されるので、外部ツールを用いて第一の不揮発メモリに対して制御プログラムや制御定数の新規書込や書換えが行われた直後の状態を除いて、通常は第二の RAM メモリに対する制御定数の転送は不要であり、駐車中に車載バッテリー端子の開放などが行われた時や車載バッテリーの異常電圧低下などがあっても、制御定数の転送は不要であり制御定数の無駄な送信を行わなくても良いという効果がある。

【0047】また、請求項 4 記載の発明によれば、メイン CPU 及びサブ CPU は、被制御車両の運転開始時において第一の不揮発メモリの内容が変更されている時に第一の不揮発メモリに格納された制御定数をサブ CPU に送信する制御定数送信手段と、第一の不揮発メモリの内容が変更されていない場合に送信側 CPU から受信側 CPU に対してデータの送信を割込要求することができる直接要求手段と、この直接要求手段による割込要求は無いが送信側 CPU から受信側 CPU への割込送信の必要が有る場合及び割込送信の必要が無くても受信側 CPU から送信側 CPU へのデータ要求が有る場合に送信データを不定期データとして送信する不定期データ送信手段と、直接要求手段による割込要求、割込送信の必要及

び受信側 CPU から送信側 CPU へのデータ要求の全てが無い場合に送信データを定期データとして周期的に送信する定期データ送信手段とを備えたので、常時は両 CPU 間で周期的に定期データの通信を行っていて、例外的に発生する不定期データの送信や被要求データの送信を必要に応じて介在させるようにしたので、自由度が高く・効率的に必要なデータの通信が行える効果がある。また、第一の不揮発メモリの内容に変更がない限り、通常は制御定数の転送は不要であり、電源スイッチの投入に即応して制御装置は運転可能状態となる効果がある。

【0048】また、請求項 5 記載の発明によれば、メイン CPU またはサブ CPU 側の少なくとも一方のデータバスにはダイレクトメモリアクセスコントローラが接続され、シリアル通信用直並列変換器を介して受信した送信データが受信側 CPU を介さないで受信側 RAM メモリに格納されるので、シリアル通信データの受取側 CPU が本来の車両制御プログラムを実行している間でも、データバスを使用していない期間には自動的にシリアル通信データを受取側の RAM メモリに格納することができ、手軽に高速通信が行える効果がある。

【0049】また、請求項 6 記載の発明によれば、メイン CPU 及びサブ CPU は、シリアル通信用直並列変換器による受信データを受信側 CPU でエラーチェックするサムチェック手段と、このサムチェック手段が受信データに誤りがあると判定した時に送信側 CPU に対して受信データの再送を要求する再送要求手段と、送信側 CPU から受信側 CPU への送信開始時刻とサムチェック手段からの受信データの確認回答受信時刻とが所定時間間隔であるか否かを判定するタイムアウトチェック手段とを備えたので、受信データに誤りがあれば再送要求手段によってこれを是正するが、相手 CPU の異常状態にあってはタイムアウトチェック手段によってこれを認知することができるので、各 CPU は誤った制御定数や制御データに基づいた制御を行わないようにして安全性を確保できる効果がある。

【0050】また、請求項 7 記載の発明によれば、メイン CPU はサブ CPU のウォッチドッグ信号及び通信のタイムアウトチェック結果を監視して、サブ CPU の動作異常時にリセットパルス出力を発生してサブ CPU を再起動するリセット出力手段を備えたと共に、メイン CPU のウォッチドッグ信号を監視して、動作異常時にリセットパルス出力を発生してメイン CPU を再起動させるウォッチドッグタイマ回路を備えているので、サブ CPU はメイン CPU によってウォッチドッグ信号による暴走監視とタイムアウトチェックによる通信異常監視が行われていて、異常時は直ちにサブ CPU をリセットして再起動することになる。また、メイン CPU はウォッチドッグタイマ回路によって暴走監視が行われ、異常時は直ちにメイン CPU をリセットして再起動すると共に、サブ CPU によるメイン CPU の通信タイムアウトチェ

10

20

30

40

50

ック結果が通信異常であればその原因がメインCPUの暴走による場合に限って暴走監視の結果としてメインCPUがリセットされて再起動されるようになっている。このようなリセット手段によって、車両の全体制御状態を知らないサブCPUによって、メインCPUのリセットを行わないようにして全体の安全性を向上すると共に、制御の分担を効果的に行えるようになる効果がある。

【0051】また、請求項8記載の発明によれば、リセットパルス出力の発生を記憶すると共に、電源スイッチの遮断または再投入によってリセットされる記憶素子、この記憶素子の動作に応じて一部の負荷の駆動を停止する出力停止回路、記憶素子の動作に応じて動作異常の警報、表示を行う警報表示手段を備えているので、CPUが暴走や通信異常によってリセットされ直ちに再起動して正常運転に回復したと見られる場合であっても、一部の制御出力は出力停止されるので安全性を損なうことが無く、警報・表示器によって運転手がこれを認知することができる。これがノイズ等による一時的な異常であれば電源スイッチを再投入することで正常復帰するが、度重なる異常動作が発生するようであれば保守点検を促す材料となって安全性を確保することができる効果がある。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態による車載電子制御装置を示すブロック回路図である。

【図2】 この発明の実施の形態による車載電子制御装置のCPU間の通信動作を説明するフローチャートである。

【図3】 この発明の実施の形態による車載電子制御装 30

置のCPU間の通信動作を説明するフローチャートである。

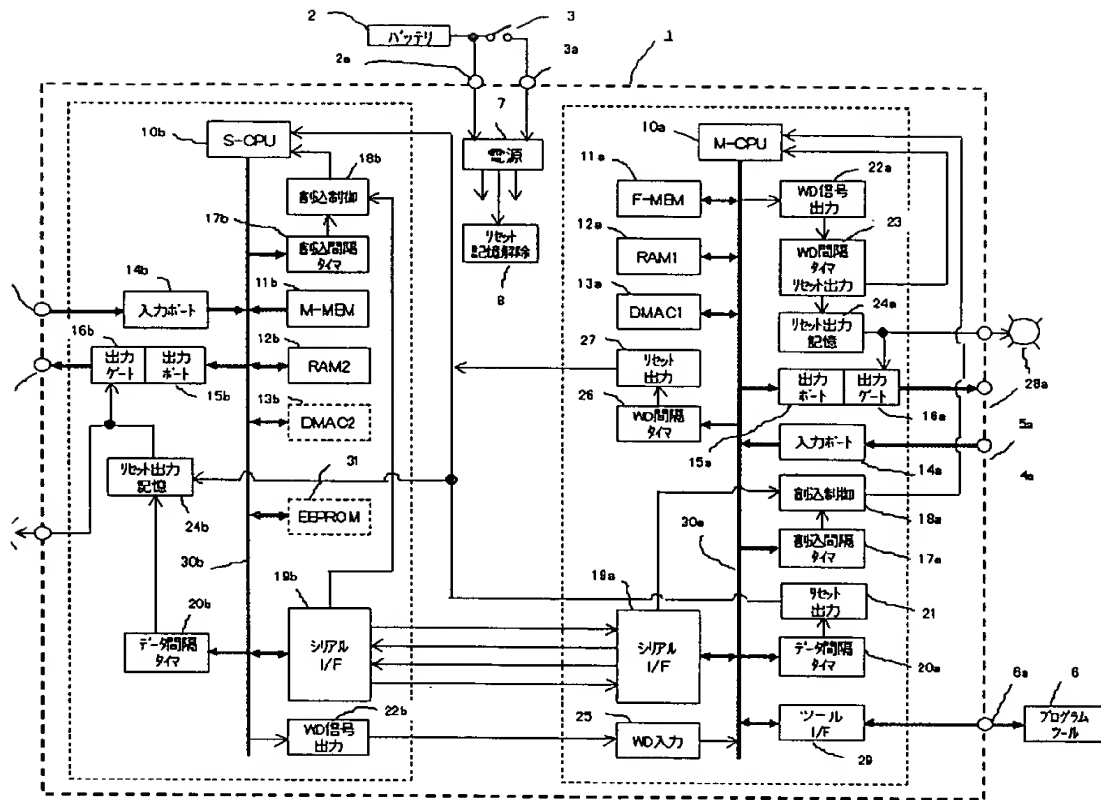
#### 【符号の説明】

1 車載電子制御装置、 2 車載バッテリー、2a 第一電源端子、3 電源スイッチ、3a 第二電源端子、6 プログラムツール（外部ツール）、10a メインCPU、10b サブCPU、11a 第一の不揮発メモリ、11b

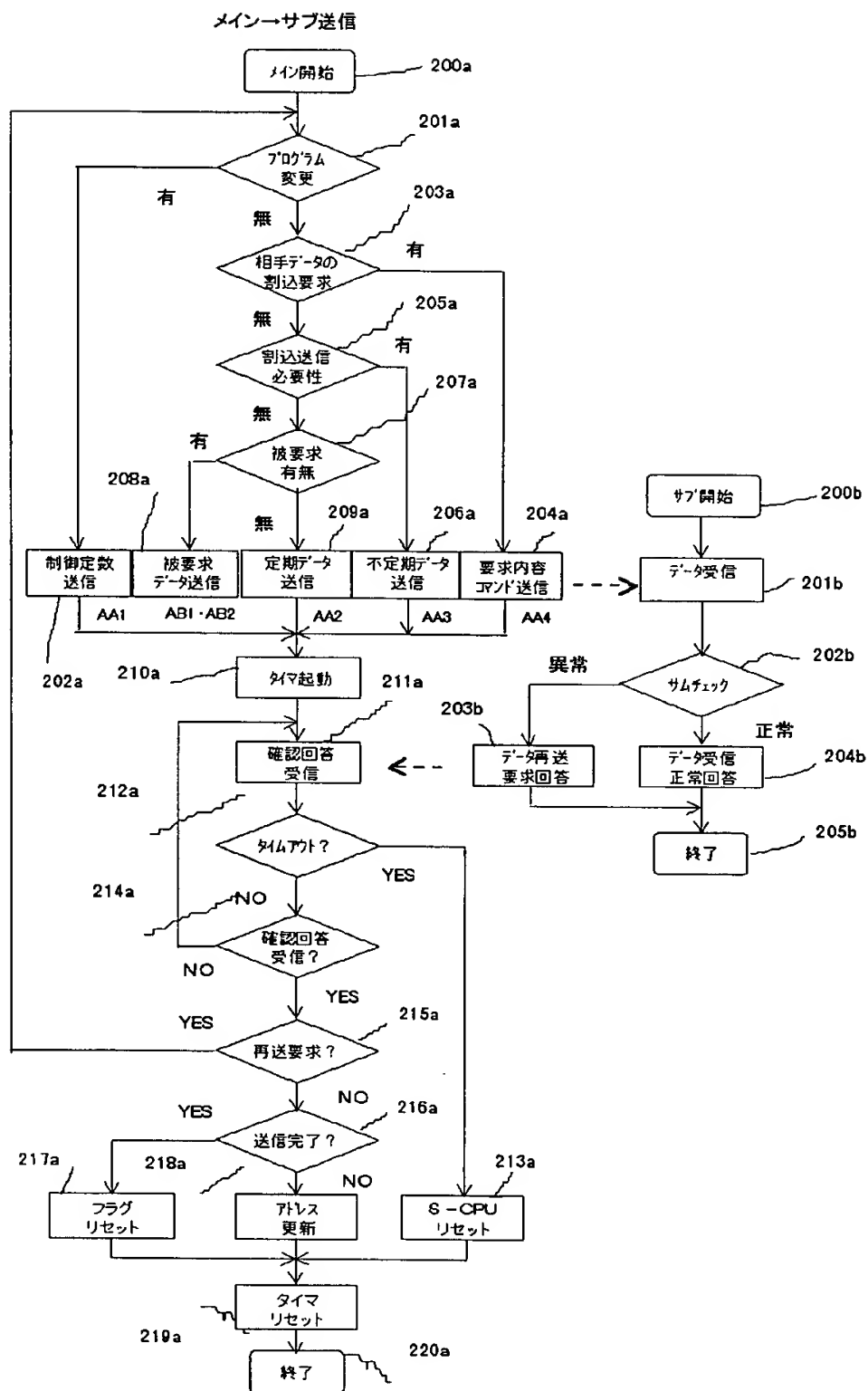
第二の不揮発メモリ、12a 第一のRAMメモリ、12b 第二のRAMメモリ、13a 第一のDMAC、13b 第二のDMAC、14a 第一の入力ポート、14b 第二の入力ポート、15a 第一の出力ポート、15b 第二の出力ポート、16a 第一の出力ゲート（出力停止回路）、16b 第二の出力ゲート（出力停止回路）、19a

第一の直並列変換器、19b 第二の直並列変換器、21 リセット出力手段、22a 第一のウォッチドッグ信号、22b 第二のウォッチドッグ信号、23 ウォッチドッグタイマ回路、24a 第一の記憶素子、24b 第二の記憶素子、25 ウォッチドッグ入力信号、27 リセット出力手段、28a 第一の警報・表示器、28b 第二の警報・表示器、30a 第一のデータバス、30b 第二のデータバス、31 第三の不揮発メモリ、202a 制御定数送信手段、204a 直接要求手段、304b 直接要求手段、206a 不定期データ送信手段、306b 不定期データ送信手段、208a 不定期データ送信手段、308b 定期データ送信手段、209a 定期データ送信手段、309b 定期データ送信手段、212a タイムアウトチェック手段、312b タイムアウトチェック手段、302a サムチェック手段、202b サムチェック手段、303a 再送要求手段、203b 再送要求手段

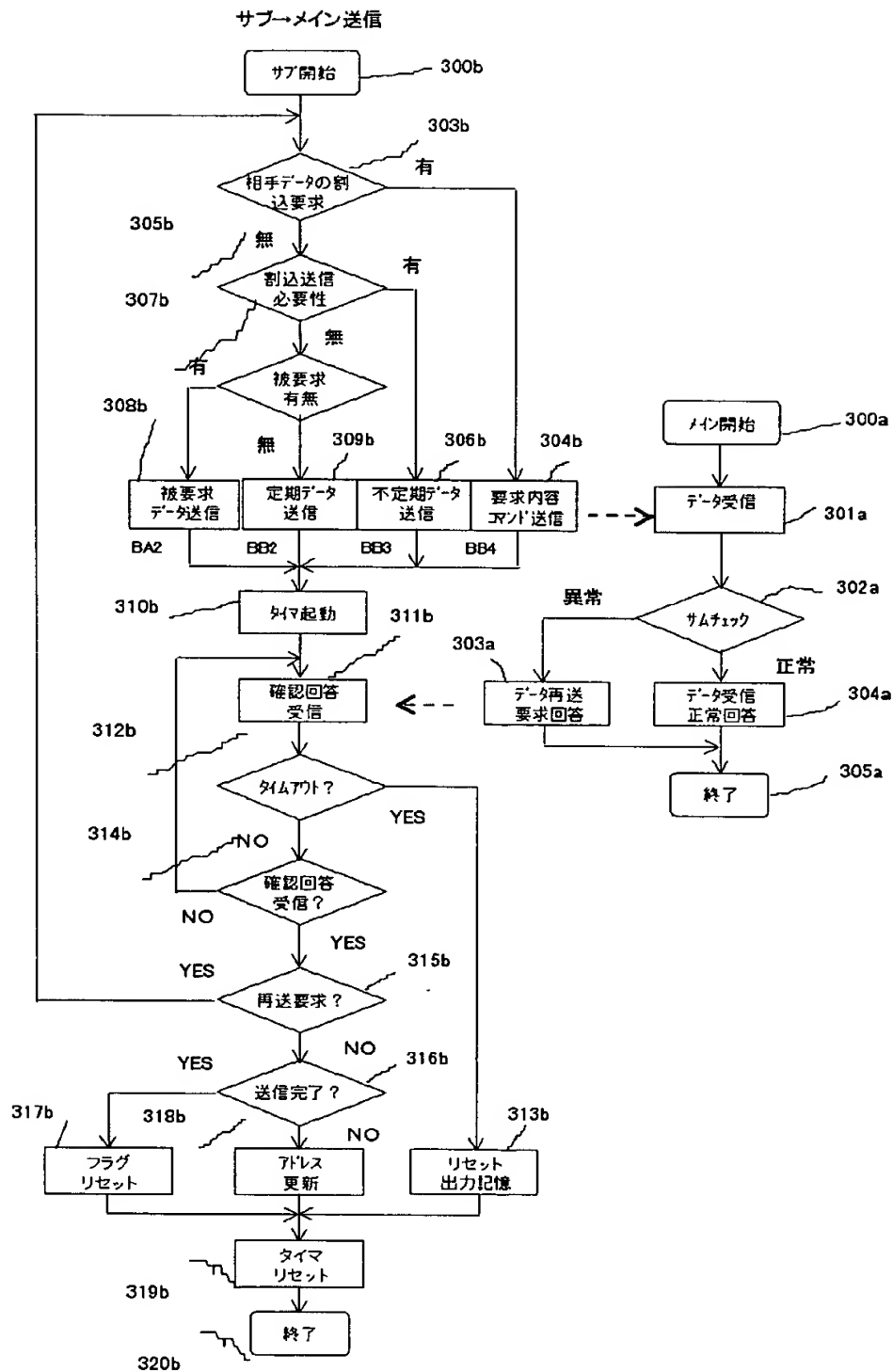
【図 1】



【図 2】



【図 3】





## フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	タームコード (参考)
G 0 6 F	11/16	3 1 0	3 1 0 C
	12/16	3 4 0	3 4 0 Q
	15/177	6 7 6	6 7 6 C
		6 7 8	6 7 8 B
(72) 発明者	橋本 光司	F ターム (参考)	3G084 DA06 DA26 DA33 DA36 EB06
	東京都千代田区大手町二丁目 6 番 2 号 三		EB10 EB22 EB23 EB24
	菱電機エンジニアリング株式会社内		5B018 KA03 LA01 NA01
(72) 発明者	後閑 博		5B034 DD02
	東京都千代田区丸の内二丁目 2 番 3 号 三		5B045 AA05 BB17 BB28 BB45 BB47
	菱電機株式会社内		BB54 BB58 JJ05
			5H215 AA10 BB11 BB18 CC03 CX04
			KK03